

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-088368
 (43)Date of publication of application : 02.04.1996

(51)Int.Cl.

H01L 29/786
 H01L 21/336
 G02F 1/136

(21)Application number : 06-224736
 (22)Date of filing : 20.09.1994

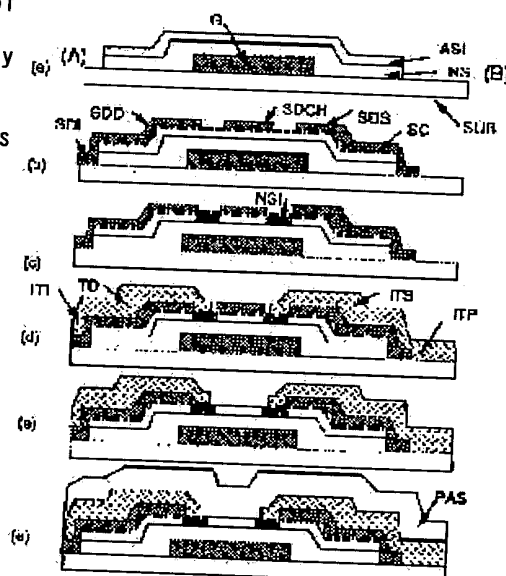
(71)Applicant : HITACHI LTD
 (72)Inventor : TANAKA TAKESHI
 ONO KIKUO

(54) THIN FILM TRANSISTOR AND LIQUID CRYSTAL DISPLAY APPARATUS EMPLOYING THE SAME

(57)Abstract:

PURPOSE: To reduce the number of photoresist layers of a TFT-LCD to shorten a manufacturing process and improve a throughput without deteriorating the display picture quality of the TFT-LCD.

CONSTITUTION: In the formation of a reverse stagger type TFT, a semiconductor ASI is doped with impurities by using source electrode and drain electrode layers SDD, SDCH and SDS as masks to form a contact region NSI. Then the unnecessary part SDCH among the doping masks is selectively removed. With this constitution, the source electrode material and the drain electrode material are used as the doping masks and the mask of a channel part can be removed together with a photoresist layer, so that the number of the photoresist layers can be reduced and the manufacturing cost can be reduced. Further, even if the number of the photoresist layers is reduced, low resistance metal wiring can be employed, so that the deterioration of the picture quality which is caused by the signal delay on the wiring can be avoided.



LEGAL STATUS

[Date of request for examination] 25.09.2000
 [Date of sending the examiner's decision of rejection] 10.09.2002
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number]
 [Date of registration]
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-88368

(43) 公開日 平成8年(1996)4月2日

(51) Int.Cl.⁶ 識別記号 庁内整理番号 F I 技術表示箇所
H 0 1 L 29/786 21/336
G 0 2 F 1/136 5 0 0

9056-4M
9056-4M

H 0 1 L 29/ 78 6 1 6 L
6 1 6 V

審査請求 未請求 請求項の数14 O L (全 10 頁)

(21) 出願番号 特願平6-224736

(22) 出願日 平成6年(1994)9月20日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 田中 武

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(72) 発明者 小野 記久雄

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(74) 代理人 弁理士 小川 勝男

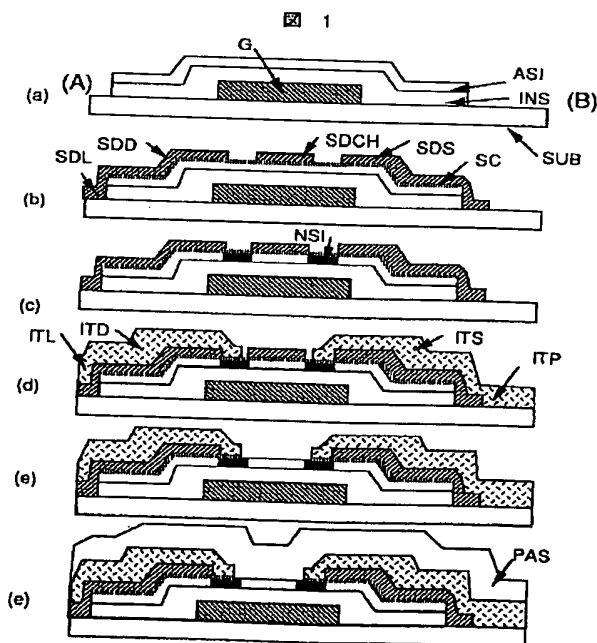
(54) 【発明の名称】 薄膜トランジスタ及びこれを用いた液晶表示装置

(57) 【要約】

【目的】 TFT-LCDの表示画質を損なわず、このホト数を低減して工程を短縮、スループットを向上すること。

【構成】 逆スタガー型TFTの形成において、ソース電極、ドレイン電極層SDD, SDCH, SDSをマスクとして半導体ASIに不純物ドープレコンタクト領域NSIを形成する。その後、前記ドーピングマスクのうち不要部分SDCHを選択除去する。

【効果】 ソース電極、ドレイン電極材料をドーピングマスクとし、チャネル部のマスクをITOのホト一括で除去でき、ホト数が低減でき、製造コストの低減効果がある。しかも、ホト数を低減しても配線は低抵抗の金属配線を用いることが可能であり、配線上の信号遅延による画質劣化を防止できる。



【特許請求の範囲】

【請求項 1】 逆スタガー型薄膜トランジスタの製造方法において、

ソース電極及びドレイン電極を構成する金属膜及び前記金属膜と同一工程で形成された他の金属膜とをドーピングマスクとして前記逆スタガー型薄膜トランジスタを構成する半導体薄膜に局部的に不純物を導入し、前記半導体薄膜中に半導体薄膜と前記ソース電極及びドレイン電極とのコンタクト領域を形成する工程を具備することを特徴とする薄膜トランジスタの製造方法。

【請求項 2】 請求項 1 に記載の薄膜トランジスタの製造方法において、

前記コンタクト領域形成後に、透明導電膜のパターンを形成し、前記透明導電膜をマスクとして前記他の金属膜を除去することを特徴とする薄膜トランジスタの製造方法。

【請求項 3】 基板上にゲート電極、前記ゲート電極上にゲート絶縁膜、前記ゲート絶縁膜上に半導体膜、前記半導体膜上に金属及び透明導電膜からなるソース電極及びドレイン電極とを形成した逆スタガー型の薄膜トランジスタにおいて、

前記半導体膜の一部の領域が高濃度の不純物を有するコンタクト領域であり、前記透明導電膜は前記コンタクト領域の上面に接し、かつ、前記ソース電極及びドレイン電極の金属層の上面を全て覆い、前記透明導電膜の上面の少なくとも一部とチャネル領域の半導体膜の上面が直接同一層の絶縁膜で被覆されていることを特徴とする薄膜トランジスタ。

【請求項 4】 基板上にゲート電極、前記ゲート電極上にゲート絶縁膜、前記ゲート絶縁膜上に半導体膜、前記半導体膜上に金属及び透明導電膜からなるソース電極及びドレイン電極とを形成した逆スタガー型の薄膜トランジスタにおいて、

前記半導体膜の一部の領域が高濃度の不純物を有するコンタクト領域であり、前記透明導電膜は前記コンタクト領域の上面に接し、かつ、前記ソース電極及びドレイン電極の金属層のうち少なくとも一層の上面を全て覆い、前記透明導電膜の上面の少なくとも一部とチャネル領域の半導体膜の上面が同一層の絶縁膜で被覆され、かつ前記チャネル領域上の半導体膜の上面と前記絶縁膜の間に、前記チャネル領域と同一平面形状の他の絶縁膜を有し、前記他の絶縁膜の厚さが 30 nm 以下であることを特徴とする薄膜トランジスタ。

【請求項 5】 請求項 3 において、半導体膜がシリコン、または水素化シリコンであることを特徴とする薄膜トランジスタ。

【請求項 6】 請求項 3 において、半導体膜が多結晶シリコンであり、膜厚が 100 nm 以下であることを特徴とする薄膜トランジスタ。

【請求項 7】 請求項 3 において、コンタクト領域の半導

体膜と透明導電膜の界面にソース電極を構成する金属元素の少なくとも一種類が存在することを特徴とする薄膜トランジスタ。

【請求項 8】 請求項 2 に記載の薄膜トランジスタの製造方法において、半導体膜の堆積法がプラズマ CVD 法であり、かつ堆積後にレーザアニールされることを特徴とする薄膜トランジスタの製造方法。

【請求項 9】 基板上に複数の走査電極、前記複数の走査電極と交差する複数の信号電極、前記複数の走査電極と複数の信号電極との各交差部に薄膜トランジスタ、前記薄膜トランジスタに接続された画素電極とを形成したアクティブマトリクス基板であって、

前記薄膜トランジスタは前記一方の基板上にゲート電極、前記ゲート電極上にゲート絶縁膜、前記ゲート絶縁膜上に半導体膜、前記半導体膜上に金属及び透明導電膜からなるソース電極及びドレイン電極とを形成した逆スタガー型であり、

前記半導体膜の一部の領域が高濃度の不純物を有するコンタクト領域であり、前記透明導電膜は前記コンタクト領域の上面に接し、かつ、前記ソース電極及びドレイン電極の金属層の上面を全て覆い、前記透明導電膜の上面の少なくとも一部とチャネル領域の半導体膜の上面が直接同一層の絶縁膜で被覆されていることを特徴とするアクティブマトリクス基板。

【請求項 10】 請求項 9 に記載のアクティブマトリクス基板において、前記基板上の一部領域に同マトリクスを駆動するための回路を、請求項 3 に記載の複数の薄膜トランジスタで構成していることを特徴とするアクティブマトリクス基板。

【請求項 11】 請求項 10 に記載のアクティブマトリクス基板において、アクティブマトリクスを構成する薄膜トランジスタの半導体が水素化アモルファスシリコンであり、回路を構成する薄膜トランジスタの半導体膜の少なくとも一部が多結晶シリコンであることを特徴とするアクティブマトリクス基板。

【請求項 12】 複数の走査電極、前記複数の走査電極と交差する複数の信号電極、前記複数の走査電極と複数の信号電極との各交差部に薄膜トランジスタ、前記薄膜トランジスタに接続された画素電極とを形成した一方の基板と、対向電極を形成した他方の基板と、前記一方の基板と他方の基板との間に挟持された液晶とからなる液晶表示装置であって、

前記薄膜トランジスタは前記一方の基板上にゲート電極、前記ゲート電極上にゲート絶縁膜、前記ゲート絶縁膜上に半導体膜、前記半導体膜上に金属及び透明導電膜からなるソース電極及びドレイン電極とを形成した逆スタガー型であり、

前記半導体膜の一部の領域が高濃度の不純物を有するコンタクト領域であり、前記透明導電膜は前記コンタクト領域の上面に接し、かつ、前記ソース電極及びドレイン

電極の金属層の上面を全て覆い、前記透明導電膜の上面の少なくとも一部とチャネル領域の半導体膜の上面が直接同一層の絶縁膜で被覆されていることを特徴とする液晶表示装置。

【請求項13】請求項3に記載の薄膜トランジスタにおいて、ソースまたはドレイン電極の少なくとも一方がMo, Cr, Ti, Pd, Mn, Co, Ni, Ta, Ptの何れかを含むことを特徴とする薄膜トランジスタ。

【請求項14】請求項12に記載の液晶表示装置と充電電池と集積回路を搭載した情報処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、薄膜トランジスタ及びこれを用いた液晶表示装置の構造ならびにその製造方法に関する。

【0002】

【従来の技術】アクティブマトリクス方式の液晶ディスプレイ（以下、LCDと略す）は、マトリクス状に並んだ画素に液晶をスイッチングするための薄膜トランジスタ（以下、TFTと略す）などの能動素子を備えたLCDである。LCD用のTFTの構造としては、逆スタガー型の構造が広く用いられている。

【0003】その製法は、高濃度不純物層（コンタクト領域）の形成法に関連し、チャネル保護膜方式とチャネルエッチ方式に大別できる。チャネル保護方式の製法および構造の一例は、エクステンデッド アブストラクト オブ ザ 1991 インターナショナル コンファレンス オン ソリッド ステイト デバイセス アンド マテリアルズ、ヨコハマ、1991年、608から610頁（Extended Abstracts of the 1991 International Conference on Solid State Devices and Materials, Yokohama, 1991, pp608-610）、またはジャパンディスプレイ'92、92年発行、213から215頁（Japan Display '92, pp213-215）に記載されており、それを図2に示す。同公知例によれば、まず基板SUB上にゲート電極G、ゲート絶縁膜INS、半導体膜ASIを順次形成する（図2（a））。続いて、絶縁体からなるチャネル保護膜CHPをTFTのチャネル部となる半導体膜上に形成し、この保護膜をマスクとして、半導体膜にイオンドーピング法を用いて不純物（P）を照射する（図2（b））。これにより保護膜で覆われていない半導体膜のみ不純物がドーピングされ、低抵抗の高濃度不純物層（コンタクト領域）NSIとなる。続いて金属膜SCMを堆積し、このコンタクト領域に接する形にソース、ドレイン電極SDS、SDDを加工し、TFTが完成する（図2（c）、（d））。なお図2の例ではソース、ドレイン電極SDS、SDDを形成する前に金属SCMと半導体膜ASIを反応させ（図2（c））半導体表面に、シリサイドSCを形成してチャネルと電極を自己整合した例を示した。アクティブマトリクス用としては、更に液

晶に電圧を印加するため、画素電極（透明導電膜、Indium Tin Oxide, ITOと略す）ITPを、ソース電極に接続した形で形成する。最後に保護膜PASを表面に形成する。

05 【0004】一方チャネルエッチ方式のTFTは、半導体膜と高濃度不純物半導体膜は連続形成（コンタクト領域は、最初からドーピングされた膜として堆積される）し、TFTのチャネル部の不要な高濃度不純物膜を除去して形成される。図12にその断面構造を示しておく。

10 【0005】

【発明が解決しようとする課題】上記従来例はTFTを形成する工程の簡略化およびTFTの性能向上について充分な配慮がなされていない。TFTは、（1）基板の全面に所定の膜を堆積し、（2）ホトリソグラフィ法（以下ホトリソと略す）により不要部分を除去し所望の形状の膜を残す、ことの繰り返しで形成される。なお、

（2）のホトリソは、（a）感光性の有機樹脂を基板全面にコートし、（b）ホトリソマスクもしくは下地の不透明な金属パターンを用いて所望のパターンに露光、（c）現像して有機樹脂の被膜を形成し、（d）有機樹脂で覆われていない部分のみドライもしくはウェットのエッチングにより除去し所望の表面形状を得たのち、（e）最後に有機樹脂を除去して表面を清浄化して終了する。工程の長さ（複雑さ）は、このサイクルが何回繰り返されるか、
20 必要なホトリソの数（ホトリソ数）が少ないほど、工程は簡略化され製造コストが低減できる。上記従来例の内、チャネル保護膜方式は、ソース、ドレイン電極のホトリソ、画素電極のホトリソ等に加え、電気的には機能しないチャネル保護膜のホトリソを独立に行っている。また、チャネルエッチ方式においてはチャネル部の不要な高濃度不純物膜を半導体膜上で除去する必要がある。高濃度不純物膜と半導体膜は主成分は同じであり、エッチングの選択性が小さい。即ち半導体膜がオーバーエッチ（ ΔL ）される。このためチャネル部のコンタクト領域を除去する際の加工裕度として、半導体膜を厚く（約200nm）堆積する必要があった。このため膜の堆積時間および製膜装置内壁のクリーニング時間が長く、TFT製造工程の短縮、スループット向上の障害となっていた。また、特性的には、チャネルが形成される半導体/ゲート絶縁膜界面とコンタクト領域の間の高抵抗の半導体膜の膜厚が厚いため、TFTのオン特性が損なわれるという問題があった。また、半導体膜厚が厚いため、光照射により発生する電流（フォトン）が高く、LCDの画質低下の原因となっていた。

45 【0006】本発明の主たる目的は、TFT-LCDの表示画質を損なわず、このホトリソ数を低減して工程を短縮、スループットを向上することにある。

【0007】また他の目的として、TFT特性を向上することにある。また他の目的として、TFTを用いたアクティブマトリクスおよびこれを用いたLCDの開閉率

を向上することにある。また他の目的は、製造歩留まりを向上することにある。

【0008】なおTFT-LCDの材料費の低減、外形寸法の縮小、信頼性の向上、及び製造歩留まりの向上策として、周辺駆動回路をアクティブマトリクス基板に内蔵する技術が知られているが、本発明の上記各効果は特にこの回路内蔵型アクティブマトリクス基板及びLCDに適用した場合にその効果が著しい。

【0009】

【課題を解決するための手段】上記目的は、(1)半導体への不純物のドーピングの際のマスク材にソース、ドレイン電極用の金属膜を用い、(2)ドーピング後にチャネル部に残った不要の金属材を透明電極をマスクとしてエッチング、除去することにより達成される。

【0010】

【作用】図1は本発明におけるTFTの製造工程を示す断面図である。詳細な製法は実施例で述べるが、本発明ではまず、基板SUB上にゲート電極G、ゲート絶縁膜INS、半導体膜ASIを順次形成する(図1

(a))。続いてTFTのチャネル部分及びソース、ドレインの電極及び配線部分にドーピングのマスク材(図中それぞれ、SDCH, SDS, SDD, SDL)をMoなどの金属材料で形成する(図1(b))。これをマスクとして不純物を照射して高濃度不純物半導体膜(コンタクト領域)NSIを形成後(図1(c))、ITOを画素部ITP及びソース、ドレイン電極/配線部ITS, ITD, ITLに形成する(図1(d))。最後にITOで覆われていないチャネル部の金属材料SDCHを除去し、TFTを完成する(図1(e))。

【0011】本発明によれば、ソース、ドレインの電極材料をドーピングマスクとして用いた後、チャネル部のマスク(残しておくソース、ドレイン間を短絡してしまう)をITOのホト一括で除去でき、これによりホト数を低減する。すなわち、従来チャネル保護方式においては、(1)保護膜、(2)ソース、ドレイン電極、(3)画素電極、と3ホト必要であった工程を、(1)ソース、ドレイン電極、(3)画素電極、の2ホトに短縮できる。

【0012】また、本発明によれば、コンタクト領域のエッチング工程がなく、工程の短縮、スループット向上が可能となる。また、チャネルエッチ方式のごとく厚い半導体膜を形成する必要がないため、TFTのオン特性が向上し、フォトコンが低減される。

【0013】なお従来、ホト削減の手法として、配線に金属を使用せず画素電極となる透明導電膜を用いる方法があった。本発明は、ホト数を低減しても配線には低抵抗の金属配線を用いることが可能であり、配線上の信号遅延による画質劣化が生じない。特にTFTのアクティブマトリクスの走査速度が速くなる高精細LCDの画質を損なうことなく工程数削減等の効果が顕著になる。

【0014】また本発明は、特にTFT-LCDに周辺回路を内蔵する際に有効である。回路内蔵の場合、高速の素子が必要なため多結晶半導体膜を用いるが、図2に示した従来例を用いると、絶縁物のマスクをこの多結晶膜上で加工する必要があった。例えば窒化シリコン(SiN)を多結晶シリコン(poly-Si)上で加工する必要があった。通常、SiNの加工はフッ酸系の液によるウエットエッチングを用いられる。poly-Si膜にピンホールがあると、SiNのエッチング完了時に液がpoly-Si中を浸透してゲート絶縁膜(これも通常はSiN)に達し、ゲート絶縁膜を損傷する不良が生じた。特にプラズマCVD法で堆積したアモルファスシリコン(a-Si)をレーザアニールして得たpoly-Si膜はピンホール密度が高く、上記不良が生じやすかった。これに対し、本発明では金属マスクのエッチングはSiNを侵さない酸によるウエットエッチ、または酸素アッシャー(プラズマ酸素処理)等で行う。従って、ゲート絶縁膜の不良は著しく低減出来る。本発明を用いた多結晶半導体TFTを用いて周辺回路を内蔵することにより、LCDの外付けのドライバーICの一部または全てを削減出来る。プラズマCVDによるa-Si成膜、およびレーザアニールは300℃程度の低温で実施可能であり、a-SiTFT用の耐熱性の低い安価なガラス基板が使用できる。これにより、TFT-LCDの製造コストの低減、外形寸法の縮小が可能となる。またTFT-LCDと駆動システムとの接続線数、接続ピッチが低減でき、接続不良の低減も可能である。なおプラズマCVDによるa-Siは多量(約10%以上)の水素を含んでおり、堆積した膜をそのままレーザアニールすると水素の放出に伴う膜荒れ、ピンホールが起きやすい。本発明はこのような膜を用いてもゲート絶縁膜の短絡のないTFTを形成できる。なお本発明以外に短絡不良を防ぐ手段として、レーザアニール前に400℃以上で熱アニールして脱水素処理する方法が知られている。但しこれを回路内蔵LCDに適用した場合、回路用のpoly-SiTFTと同時に、表示部(画素)のa-SiTFTが脱水素されてしまい、その特性が劣化してしまう。よってこの場合には、画素TFTもレーザアニールしてpoly-Si化することが必要であるが(1)poly-SiTFTはオフ電流が比較的高く、(2)レーザ照射の重ね合わせ領域での特性バラツキが生じやすく、これを画素TFTとして用いた場合には、LCDの表示の不均一化等の画質劣化が生ずる。これに対し、本発明は、poly-Siの面荒れに対する裕度が大きく、脱水素アニールが不要である。よって周辺回路のみレーザアニールして多結晶化したpoly-SiTFTとし、画素は均一でオフ電流の低いa-SiTFTで構成できる。これにより、高画質の回路内蔵LCDを高い歩留まりで製造可能となる。

【0015】なお従来、チャネルエッチ方式TFTへのレーザアニール適用は困難であった。その理由は、チャ

ネルエッチ方式で用いられる厚い半導体膜をレーザアニールするとチャンネルが形成される半導体の底面まで十分に結晶化できないためであった。この問題を解決するため、半導体膜を薄い第一層と厚い第二層の二回に分けて堆積し、第二層を堆積する前にレーザアニールする方法が提案されていた。しかしながらこの場合、チャンネルエッチ方式の本質的問題であるトータルの半導体膜厚の増加に加え、製膜回数（通常はCVD製膜）が一回増えるため、工程数増加、製膜装置数増、二層間の接触不良という新たな問題が生じていたが、本発明ではこれらの問題も解決できる。

【0016】なお本発明によると、TFTのオフ特性向上効果が認められた。その原因は、高濃度不純物層（コンタクト領域）と半導体膜からなるチャンネルとの接合部の膜品質が改善されたためと考えられる。図8に従来例および本発明におけるコンタクト領域とチャンネル部（半導体膜）との接合部を示す。図8(a)の従来例では、コンタクト領域NSIと半導体膜ASIの接合部の上面にはチャンネル保護膜CHPの端部がある。端部ではチャンネル保護膜と保護膜PASが接しているため応力が集中する。特に両者が異質材料であれば、応力集中は顕著である。たとえチャンネル保護膜と、その上層の保護膜が同じ化合物、例えばSiN同士であっても、堆積温度が異なると膜特性が異なり、応力が発生する。さらに全く同じ条件で堆積した場合でも、トータルの膜厚（チャンネル部ではチャンネル保護膜と保護膜の和、コンタクト領域では保護膜のみ）とが異なるため、応力の差が生じる。その結果、半導体膜のコンタクト領域と半導体膜との接合部に応力集中、もしくは応力の急峻な変化が生じる。その結果、接合部の欠陥DEFの密度が増える。さらに、チャンネル保護膜の端部側壁と半導体膜の接点には有機及び無機の微小異物が残存しやすく、これが後工程で接合部に拡散し欠陥生成の原因となる。欠陥は、欠陥を介した電子と正孔の再結合確率を増すため、TFTのオフ特性を劣化させる。例えば、電子を主キャリアとするn形のTFTにおいて、ゲートに負の電圧を印加してTFTをオフ状態としても、正孔電流を接合部で阻止できなくなる。すなわちオフ電流が増加し、オフ特性の劣化が生ずる。一方、図8(b)の本発明においては半導体のコンタクト領域NSIと半導体膜ASIの接合の上部は均質、一定の膜厚の保護膜PASで覆われており、従来例のような接合部の劣化によるオフ特性の低下はない。すなわち、本発明によりTFTのオフ特性が改善できる。このTFTを液晶ディスプレイのアクティブマトリクス基板に用いた場合、オフ電流による電圧低下を補償するための保持容量を縮小できる。この結果、アクティブマトリクス基板の開口率が向上する。これを用いた透過型の液晶ディスプレイはバックライト光の利用効率が向上する。言い換えれば、バックライトの光量、即ち消費電力を低減できる。よってこの液晶ディスプレイはこれを

搭載する機器の消費電力低減に効果がある。特に、ノート形パソコン等充電して使用するポータブル機器に搭載した場合は、一回の充電で利用できる時間の延長、電池の外形寸法の縮小による機器の小型軽量化に大きな効果がある。

【0017】

【実施例】

（実施例1）本発明の実施例としてTFT-LCD用のTFT及び製造方法を以下図面を用いて説明する。

【0018】図1は本発明によるTFTの主要製造過程における断面構造を示す。なお図5はTFT完成時のアクティブマトリクスの一画素分の平面構造図で図中の(A)-(B)間断面構造が図1に示されている。図10は一画素の等価回路を示し、図中、CLCはアクティブマトリクスにより駆動される液晶の容量、CADはTFT等のリーク電流を補償する保持容量である。各部の電圧については後述する。まずガラス基板SUB上にCr膜をスパッタ法により厚さ120nm堆積し、不要部分をホト、エッチングで除去し、ゲート電極Gを形成する。エッチングには、硝酸セリウム系のエッチング液を用いた。続いて、プラズマCVD法によりSiN膜INSを基板温度300℃で厚さ350nm、a-Si膜ASIを基板温度270℃で厚さ40nm連続堆積する。続いて、このSiN、a-Siの積層膜をホトリソグラフィにより、ゲート電極を覆うように島状に加工する（図1(a)）。エッチングには、トリフルオロクロロカーボンと酸素の混合ガスによるドライエッチ法を用いた。続いて、スパッタ法により基板温度160℃で厚さ200nmのMo膜を堆積する。a-SiとMoの界面には両者の固相反応によりシリサイド層MoSi、SCが生じる。続いてMoを燐酸酢酸混合液（PAN液）を用い、ホト、エッチングする。すなわち、チャンネル部SDCHとソース電極部SDS、ドレイン電極部SDD、信号配線部SDL以外を除去する（図1(b)）。

【0019】MoSi、SCは、PAN液に不溶なため、除去されずにa-Siの表面に残る。続いて、イオンドーピング法によりPをa-Siに打ち込み、高濃度不純物シリコン層（コンタクト領域）NSIを形成する（図1(c)）。イオンドーピングは非質量分離型のイオン照射装置を用い、原料ガスにヘリウム希釈のホスフィンを用いた。加速電圧は10kV、ドーズ量は 10^{15} 個/cm²とした。この際、基板温度を例えば300℃に加熱しておく、a-Si中に打ち込まれたPは活性化され、新たなレーザ照射もしくは加熱処理などの活性化処理を省略できる。もちろん別途熱アニールなどによる活性化処理を施し、特性をより向上させてもよい。続いてスパッタ法によりITO膜を基板温度220℃で、厚さ140nm堆積する。

【0020】このITOをHBr液を用いたホトリソグラフィにより画素電極ITP、ソースITS電極ドレイ

ン電極 I T D, 信号線 I T L の形状に加工する (図 1 (d))。続いて各 I T O 電極をマスクとして、M o 膜を P A N 液でエッチング除去する。すなわち I T O で覆われていない T F T のチャネル部分の M o を除去する (図 1 (e))。

【0021】 続いて酸素のプラズマアッシャー、もしくは塩素、トリフルオロカーボン等のドライエッチによりチャネル部の M o S i を除去する。この場合、酸素アッシャーを用いた T F T の特性が良く、これを用いるのが好ましい。理由は、シリサイド除去と同時に表面に安定な非常に薄い酸化膜を形成することにより a - S i 膜へのプラズマダメージ、オーバーエッチを防止し、かつ表面の捕獲順位を低減できるためと考えられる。この際の酸化膜の膜厚は応力の発生を押さえるため、約 30 nm 以下、好ましくは 10 nm 以下とするのがよい。以下図には示していないが、続いて T F T の保護膜として S i N 膜 P A S をプラズマ C V D により堆積する。最後にこの S i N 膜をゲート絶縁膜同様のホト、エッチングし、信号線、ゲート線の端子を露出させ、T F T を完成させる。

【0022】 本実施例では、図 5 の平面図に示されているように、画素電極 I T P と隣接する行のゲート線 G 1 を電極として保持容量 C A D を形成している。この保持容量は、本実施例のアクティブマトリクス基板で液晶を駆動した場合に、液晶容量と並列接続されリーク電流による電圧効果を防止する効果を持つ。本発明は、作用の項で述べた様に T F T のリーク電流を低減できるためこの保持容量を小さくできる。即ち、不透明なゲート線の面積を小さくでき基板の開孔率を向上できる。通常、スパッタ法でシリコン上に I T O 膜を形成するとシリコン表面が酸化されて絶縁層 (S i O₂) となり T F T の出力電流が低下する。しかし本発明では M o S i が表面にあるため絶縁層の形成を抑制でき、特性の劣化は殆ど見られない。

【0023】 (実施例 2) 周辺回路をガラス基板上に内蔵した T F T 基板に本発明を適用した場合の実施例を示す。図 4 は周辺回路内蔵の一例として、映像信号側 (ドレイン側) に回路を形成し、信号側ドライバ I C の数を半減する方式の概略を示す。各映像信号線 D L 0, D L 1 の一端に回路 T F T, T 0, T 1 及び保持容量 C 0, C 1 が接続され 2 n および 2 n + 1 番目の回路 T F T, T 0, T 1 のソース、ドレイン電極の一方が外部端子 D L T となっている。2 n 番目の回路 T F T, T 0 はクロック信号 F 0, 2 n + 1 番目の回路 T F T, T 1 はクロック信号 F 1 で駆動する。画素の T F T の一回の選択時間内で 2 つの回路 T F T を前半後半にわけて on / off する。これに合わせ、ドライバは従来の半分の時間でデータを切替るよう動作させる。これにより、ドライバの一端子の出力で 2 本の信号線を駆動できる。すなわち、ドライバ I C の数を半減できる。

【0024】 本実施例では、高い駆動能力が要求される回路 T F T にはレーザアニールによる poly - S i T F T を、特性の均一性と低いオフ電流が要求される画素 T F T には a - S i T F T を用いる。

05 【0025】 第 1 の実施例同様図 1 を参照して製造方法を説明する。まず厚さ 120 nm の C r 膜をスパッタ成膜しゲート電極 G 形状にホト、エッチングする。続いてプラズマ C V D により、厚さ 350 nm の S i N のゲート絶縁膜 S i N, 40 nm の a - S i の半導体膜 A S i
10 を堆積する。続いて X e C l のエキシマレーザを回路部分にのみ照射し S i 膜を多結晶化する。画素部の T F T を a - S i T F T としておく場合には、a - S i T F T の特性劣化を防止するため、加熱脱水素処理は行わない。また照射中の基板加熱も同じ理由により行わない。
15 逆に a - S i 堆積の際、膜中の水素濃度を 15 % 以上とし、特にシリコン原子と鎖状 (S i H₂) 結合している水素の濃度を高くしておく、と、良好な特性の poly - S i T F T が得られた。水素の結合状態は赤外吸収スペクトルにより評価できるが、吸収のピーク波数が 2020 / cm
20 から 2060 / cm 好ましくは 2030 から 2050 とするのが良い。これにより T F T の移動度を 10 cm² / V s とすることが出来る。このような水素を多量に含む a - S i をレーザアニールすると表面の凹凸が増加し、ピンホールなどの膜荒れが生じるが、本発明ではこのよ
25 うな膜を用いても、ゲート絶縁膜の短絡不良は生じない。照射は真空中、エネルギー密度 200 m J / cm² で実施した。続いてゲート G を覆うように、S i および S i N をホト、ドライエッチし、島状に加工する (図 1 (a))。続いて厚さ 200 nm の M o 膜をスパッタ法
30 により成膜し、P A N 液を用いたホト、エッチングでソース、ドレイン電極 S D D, S D S, 信号線 S D L, チャネル部のマスク S D C H を形成する (図 1 (b))。続いてイオンドーピング法により P を S i に打ち込み、高濃度不純物シリコン層 (コンタクト領域) N S i を形成する (図 1 (c))。この際基板温度を例えば 300
35 °C に加熱しておく、と、a - S i 中に打ち込まれた P は照射中に活性化される。回路の poly - S i 領域は、更にレーザ照射して不純物活性化する。活性化時にはゲートの金属が一部露出している、レーザエネルギーは結晶
40 化よりも低く例えば 150 m J / cm² とし、ゲートの損傷を予防する。活性化後、I T O 形成、ホトエッチ、チャネル部のシリサイド除去を第 1 の実施例同様に行う (図 1 (d), (e), (f))。

【0026】 本実施例では、水素を多量に含む a - S i 膜をレーザアニールする。膜中の水素が瞬間的に放出される。電子顕微鏡観察の結果、得られる poly - S i 膜表面には微小なピンホール、面荒れが発生していた。しかし作用の項で述べたように本発明によればフッ酸系のエッチングが不要であり、ゲート絶縁膜損傷による短絡不良は防止される。

【0027】本実施例による駆動回路の部分平面図（表示部の2列の画素に関する範囲）を図6に示す。ガラス基板の端部の1本のドレイン端子DLTから2個のTFT、T0、T1を介し表示部（画素部）の2本のドレイン線（映像信号線）（偶数列DL0、奇数列DL1）に分岐接続される。ゲート線GC0、GC1とドレイン線の交差部にはSi、SiNの二層膜からなるパターンCROSをはさみ、両配線間を絶縁する。TFTをスイッチングするための2本のゲート線GC1、GC1がそれぞれ偶数列、奇数列のTFT、T0、T1に接続される。

【0028】上記第1及び第2の実施例において以下に列挙する変更を加えても本発明の主旨を損なわない。

【0029】実施例ではソース、ドレイン電極をゲート電極及び半導体上に設けたが、この形状を変えても本発明の主旨を損なわない。例えば図7の（a）から（b）に示したように、形成しても良い。

【0030】実施例ではゲート電極材料としてCrを用いたがその他の金属例えばAl、Cu、Ta、Ti等やその積層膜、または合金等を使用してもよい。Al、Cu系を用いた場合には配線抵抗が下がり、これを用いたLCDの表示画像の面内均一性を向上できる。

【0031】実施例ではゲート絶縁膜材料としてSiN膜を用いたが、このほかにSiO₂、SiONなどの膜を用いてもよい。また、ゲート線材料にAl、Taを用いた場合にはこれを陽極化することで得られる酸化膜との積層膜とし、絶縁膜の耐圧向上、短絡防止を図ってもよい。

【0032】実施例は半導体膜をプラズマCVDによるa-Si膜またはこれをレーザアニールした多結晶Si膜としたがこれを他の材料または他の製法によってもよい。例えばゲルマンガスを材料ガスにプラズマCVDで堆積したGe膜、またはGeとSiの混晶膜ないし超構造膜としてTFTの特性向上を図ってもよい。

【0033】また、半導体膜の堆積方法はプラズマダメージのない減圧CVD法、膜中の水素量を低減できるスパッタ法、またはECR-CVD法を用い膜の不安定性の防止、プロセス温度の低減を図ってもよい。半導体膜としてSiのマイクロクリスタル膜を用いて高移動度化を図ってもよい。半導体膜をレーザもしくは熱でアニールして多結晶化し、TFTの高移動度化を図ってもよい。この場合、作用の項で述べたように、アニール前の膜の水素が多くても、結晶化膜のピンホールによるゲート絶縁膜の不良は殆ど生じない。

【0034】実施例ではソース、ドレイン電極にMoを用いたがその他Ti、TaMo、Cr、Ti、Pd、Mn、Co、Ni、Ta、Pt等半導体と反応してシリサイドもしくはゲルマニウム化合物を形成する金属材料を用いてもよい。さらにこれらを含む合金及び積層膜を用いてもよい。

【0035】本実施例の回路内蔵アクティブマトリクス

基板も、前記第1の実施例同様に液晶ディスプレイ、およびそれを組み込んだノート形パソコンなどの機器に搭載できる。回路内蔵の場合、第1の実施例の効果に加え、外付けの駆動用ドライバーICの数を削減、もしくは省略でき、LCDの製造コスト低減、およびLCDの表示部のまわりの額縁の幅を削減でき、ディスプレイ、およびこれを搭載した機器のさらなる小型軽量化が可能となる。

【0036】（実施例3）本発明によるアクティブマトリクス基板を用いた液晶ディスプレイTFT-LCD及びその製法について説明する。

【0037】図3はアクティブマトリクス基板をもう一枚の基板と向き合わせ液晶を封入したセルの一面素分の断面図である。TFT基板SUBの内側表面には、TFT、画素電極ITP、保護膜PASなど前記実施例で説明した方法により形成されている。その上に、液晶の分子の配列をそろえるための配向膜ORI1がスピンナー塗布、ラビング処理により形成されている。また外側表面には、偏向板POL1を張り付けている。対向基板の内側表面には画素電極以外の領域から漏れてくる光を遮ぎるためCrからなるブラックマトリクスBM、有機樹脂をロールコート塗布後染色して形成したカラーフィルタFIL、ITOの対向電極ITO1、配向膜ORI2が順次形成されている。また外側表面には配向膜POL2を張り付けてある。両基板間にビーズを分散し、約5μmのギャップ長とし、図には示していないが基板の周辺部を樹脂で接着した後、ネマチック型液晶を充填、封入する。偏向板POL1とPOL2の偏向方向は直交させ、配向膜ORI1、ORI2のラビング方向を直交させてあり、液晶に電圧が印加されないときに光が透過するノーマリーホワイトモードとした。

【0038】この液晶セルを用いた液晶ディスプレイの全体概略を図11に示す。走査線アクティブマトリクス基板SUBすなわち液晶セルのゲート線GL及びドレイン側DLの端子にそれぞれ駆動用のドライバーICであるGDR、DDRが複数個接続される。このドライバーICを駆動するための信号及び電源はタイミングコンバータ等のICからなる信号処理回路TCONからバスラインGBUS、DBUSを通して供給される。以上の主たる構成要素をケースに固定しLCDのモジュールMODとなる。なお透過形のLCDの場合には、図示していないが液晶セルSUBの背面に蛍光灯等からなるバックライトを配する。

【0039】図10の等価回路により駆動を概略説明する。対向基板側の共通電極には一定の電位VCOMを与えておく。ゲート線（走査線）に順次TFTのオン電圧（VGn-1からVGn、さらに次の行電圧）を加えて（線順次走査）TFTを導通状態にし、信号線（ドレイン線）から与えられた映像信号電圧VDをTFTを介して液晶CLCに印加する。液晶はVCOMとVDnの差

電圧により駆動され、画素の光透過率が変化する。個々の画素で独立に透過率を制御しLCD全体で画像表示する。

【0040】（実施例4）図9は本発明のアクティブマトリクス基板を用いた液晶ディスプレイを搭載したノート型パソコンを示す。マイクロプロセッサ等からなる半導体集積回路群CPUを中心とするパソコン本体PC内にシステム全体に電力を供給する充電型電池BAT、入力用キーボードKBD、データ記録用ディスクDISKを収めている。液晶ディスプレイLCDは背面にバックライトを設けた透過型で、パソコンの蓋部LIDに設置され、CPUからのデータをもとに、電源BATにより駆動される。アクティブマトリクス基板の開口率が向上したため、バックライト光の利用率が向上し、LCDの輝度が向上した。また、低電力のバックライトでも十分な輝度が得られ、バックライトの薄形化、軽量化、またこれの電源となるバッテリーの小型軽量化が可能となった。これにより直接および間接的に（これらを格納、保持する構造部材についても）小型軽量化でき、ノート形パソコンの可搬性を向上できる。また、一回の充電で使える時間が延び使い勝手が向上できた。

【0041】本発明によるLCDは本実施例に記載のノートパソコンに限らず、他のポータブルな情報処理装置の小型化、軽量化、電池寿命の向上に効果がある。例えば、本発明のLCDを携帯用電話、携帯用ゲーム機、および小売店等で用いられる売上/注文管理用の携帯用情報処理器など、集積回路を用いた情報処理を電池の電力をもとに行う機器において有効である。

【0042】

【発明の効果】本発明によれば、ソース、ドレインの電極材料をドーピングマスクとし、チャンネル部のマスクをITOのホト一括で除去でき、ホト数が低減でき、製造コストの低減効果がある。しかも、ホト数を低減しても配線は低抵抗の金属配線を用いることが可能であり、

配線上の信号遅延による画質劣化を防止できる。

【0043】また本発明では、工程を増やさずに、レーザアニールpoly-SiTFTを用いた周辺回路内蔵TFT-LCDの製造歩留まりを向上させ、さらなるコスト低減効果がある。周辺回路のみレーザアニールした高速poly-SiTFT、画素部は均一なa-SiTFTで構成でき、回路内蔵LCDの画質向上に効果がある。

【図面の簡単な説明】

【図1】本発明のTFTの製造工程を示す図。

【図2】従来のTFTの製造工程を示す図。

【図3】LCDセルの断面構造。

【図4】回路内蔵TFT-LCDの概要。

【図5】アクティブマトリクス基板の部分平面図。

【図6】駆動回路の部分平面図。

【図7】TFTの断面図。

【図8】TFTの接合部の拡大断面図。

【図9】液晶ディスプレイを用いたノート形パソコン。

【図10】一画素の等価回路。

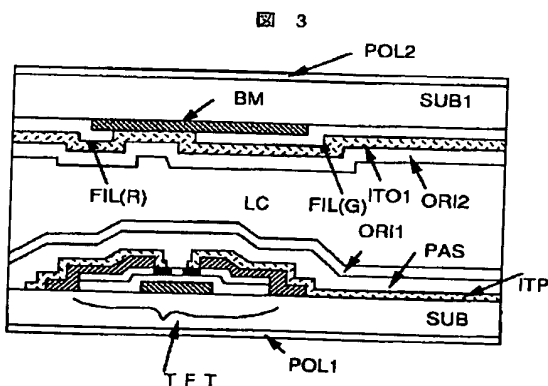
【図11】液晶ディスプレイの構成。

【図12】従来のTFTの断面構造。

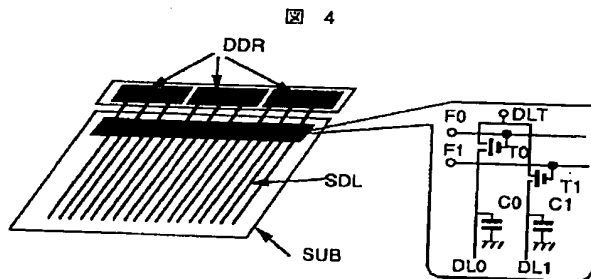
【符号の説明】

SUB…基板、G…ゲート電極、ASI…半導体膜、INS…ゲート絶縁膜、SDD…ドレイン電極、SDS…ソース電極、SDCH…チャンネル部のドーピングマスク、SC…シリサイド、NSI…高濃度不純物半導体膜（コンタクト領域）、ITS、ITD、ITL…ITOのソース、ドレイン電極及び信号線、ITP…画素電極、CHP…絶縁物のチャンネル保護膜、POL1、POL2…偏向板、ORI1、ORI2…配向膜、LC…液晶、FIL…カラーフィルタ、BM…ブラックマトリクス、LCD…液晶ディスプレイ、KBD…キーボード、BAT…乾電池、CPU…集積回路、PC…ノート形パソコン。

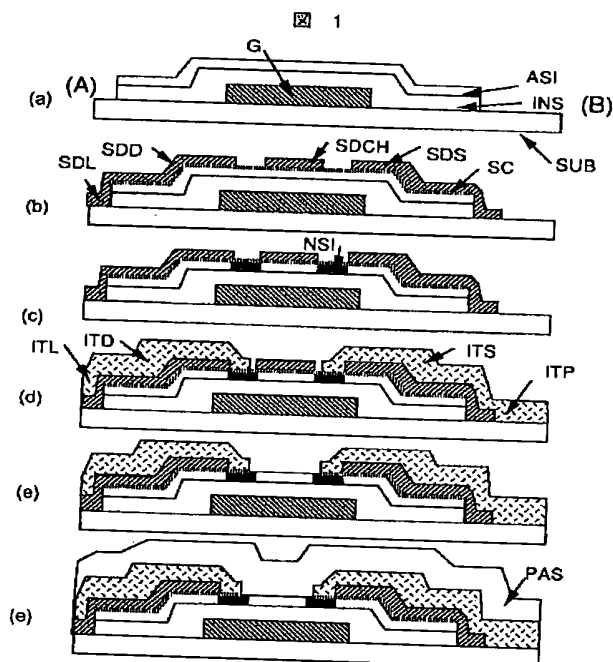
【図3】



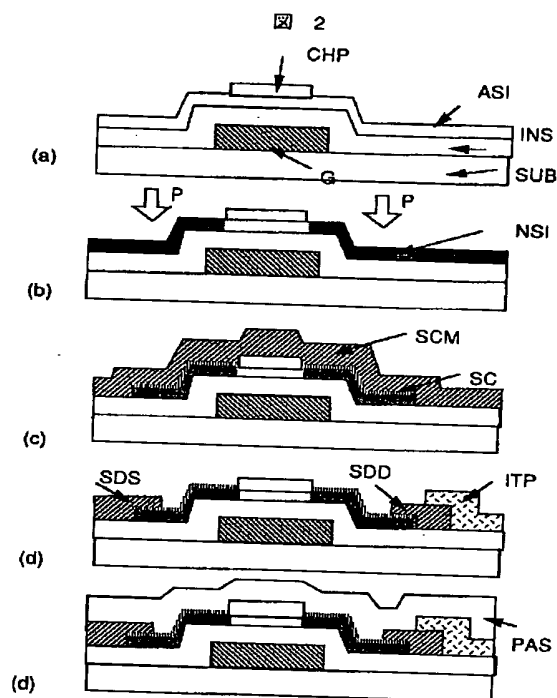
【図4】



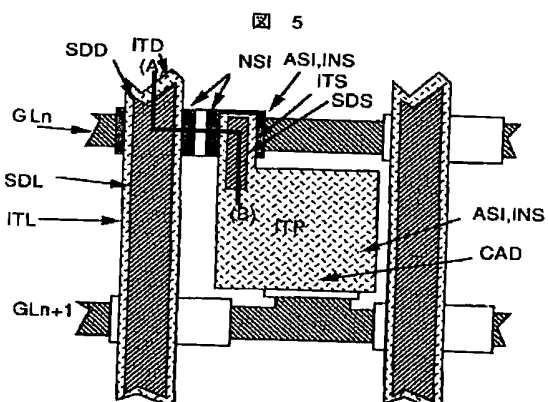
【図 1】



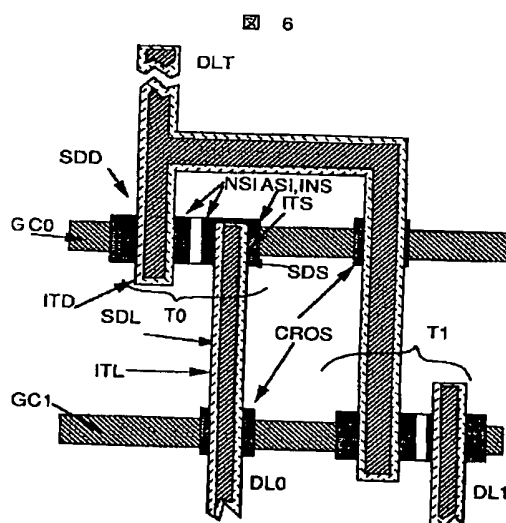
【図 2】



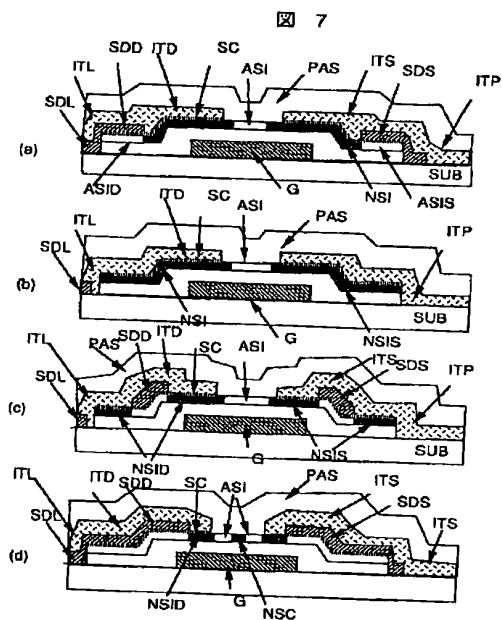
【図 5】



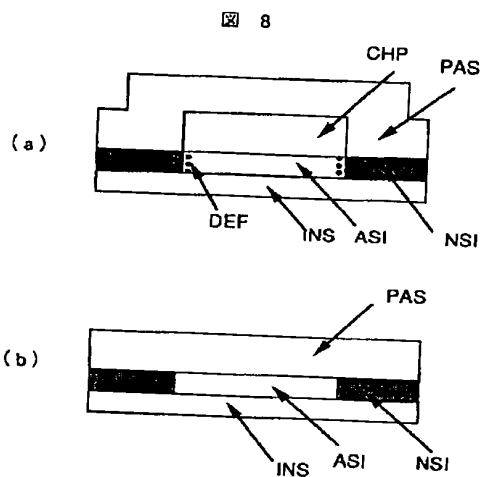
【図 6】



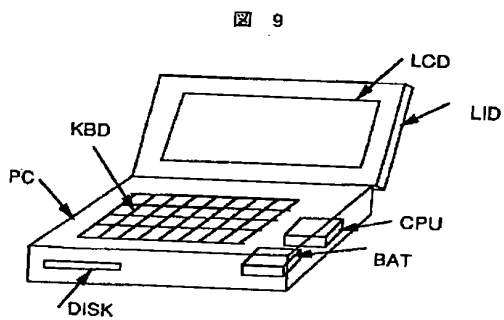
【圖 7】



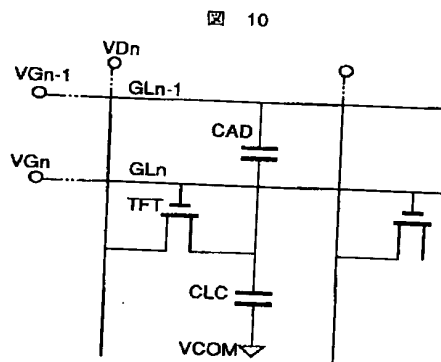
【図 8】



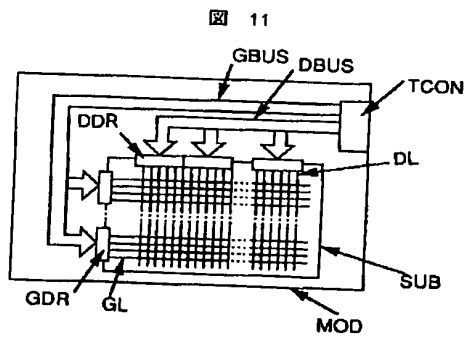
【図 9】



【図 10】



【図 1 1】



【图 12】

